

RANCANG BANGUN MODUL PENGKONDISI SINYAL & ANTAR MUKA UNTUK KONTROLER TEGANGAN DIJITAL PADA PEMBANGKIT LISTRIK TENAGA AIR (PLTA)

Estiko Rijanto dan Anwar Muqorobin
Pusat Penelitian Tenaga Listrik dan Mekatronik (Puslit TELIMEK) - LIPI
Jl.Cisitu No.21/154D, Tel.022-2503055, Bandung 40135
estiko.rijanto@lipi.go.id

ABSTRAK

Saat ini masih banyak PLTA yang beroperasi menggunakan kontroler tegangan analog. Beberapa komponen pentingnya semakin sulit ditemukan sehingga mengancam keberlangsungan operasi PLTA yang bersangkutan. Tujuan penelitian ini adalah untuk merancang bangun sebuah kontroler tegangan digital yang dapat dipakai pada PLTA berkapasitas 9 MVA dengan metoda *reverse engineering* dan *updating*. Tujuan makalah ini adalah melaporkan hasil rancang bangun tersebut khususnya terkait modul pengkondisi sinyal dan antar muka. Karena algoritma kontrol direalisasikan memakai DSP, maka diperlukan pembuatan modul pengkondisi sinyal ADC dan DAC. Modul antara muka pengeset tegangan operator dan pemonitor driver dibuat memakai mikrokontroler 8 bit. Hasil eksperimen menunjukkan bahwa: modul pengkondisi sinyal ADC dan DAC yang dibuat berfungsi dengan baik, modul pengeset tegangan mampu memproses perintah secara tepat, dan modul pemonitor driver mampu mendeteksi pulsa penyalaan dan memberikan indikator status berupa: normal, terlalu panjang, dan terlalu pendek.

Kata Kunci: Pengkondisi sinyal, antara muka, kontroler tegangan digital, DSP, mikrokontroler, pembangkit listrik tenaga air

ABSTRACT

Currently, there are still many hydro electrical power plants (HEPPs) operated using analog voltage controllers. Some important components are becoming difficult to find that threatens the operation sustainability of such HEPPs. The objective of this research is to develop a digital voltage controller that can be applied to a 9 MVA HEPP using the reverse engineering and updating method. The aim of this paper is to report some results of the development especially concerning signal conditioner and interface modules. Since controller algorithm is realized using a DSP, ADC and DAC, signal conditioner modules are required to be developed. The interface modules of operator command interpreter and driver monitoring are realized using an 8 bit microcontroller. Experimental results show that: the ADC and DAC signal conditioner modules can work well, the command interpreter can process the command signal appropriately, and the driver monitoring module can detect the firing pulses providing operating status of: normal, too long, and too short.

Key Words: signal conditioner, interface, digital voltage controller, DSP, micro controller, hydro electrical power plant.

PENDAHULUAN

Latar Belakang

Energi listrik perlu dipasok dengan mutu listrik yang memadai agar tidak merusak peralatan listrik. Mutu listrik ditentukan oleh dua variabel penting yaitu frekuensi dan tegangan listrik yang stabil pada nilai nominalnya. Di Indonesia, spesifikasi frekuensi dalam keadaan normal adalah tidak kurang dari 49,5 Hz dan tidak lebih dari 50,5Hz, sedangkan spesifikasi tegangan listrik misalnya untuk jaringan nominal 20kV adalah +5% dan -10%, seperti ditentukan di dalam Peraturan Menteri Energi dan Sumber Daya Mineral tahun 2007^[1]. Untuk memenuhi standar yang ada, pada setiap pembangkit listrik diperlukan kontrol frekuensi dan kontrol tegangan.

Untuk turut menjaga kelangsungan operasi beberapa PLTA yang telah berumur tua di Indonesia, perlu dibangun kemampuan rancang bangun sistem kontrol PLTA. Sampai saat ini masih banyak PLTA yang beroperasi dengan menggunakan teknologi analog. Salah satu contohnya adalah sebuah PLTA yang beroperasi di Indonesia sejak tahun 1995 menggunakan generator sinkron 9MVA, 6,3kV, 50Hz dengan kecepatan putar 500 rpm, jumlah kutub 12 dan faktor daya 0,9^[2].

Analisis terhadap kontroler analog yang telah dirancang bangun oleh Estiko^[2] dilakukan dengan tujuan untuk memahami struktur kontroler, elemen-elemen penyusun kontroler dan fungsi masing-masing elemen. Komponen-komponen kontroler analog yang selama ini digunakan semakin sulit ditemukan,

sehingga dipilih rancang bangun kontroler tegangan versi digital.

Tujuan

Tujuan penelitian ini adalah untuk merancang bangun kontroler tegangan digital yang dapat dipakai pada PLTA berkapasitas 9MVA untuk menggantikan kontroler analog yang sudah berumur tua. Tujuan makalah ini adalah melaporkan hasil rancang bangun kontroler tegangan digital tersebut, khususnya hasil rancang bangun modul pengkondisi sinyal dan antar muka untuk kontroler digital tersebut.

METODOLOGI

Metodologi dalam penelitian ini adalah *reverse engineering* dan *grade up*. *Reverse engineering* dalam hal ini mengacu pada kontroler yang telah ada, sedangkan *grade up* adalah mengimplementasikan algoritma dalam prosesor digital sebagai pengganti operational amplifier. Dalam penelitian ini kegiatan yang dilakukan adalah rancang bangun kontroler tegangan digital pada PLTA, kemudian dilakukan pengujian di laboratorium dengan menggunakan simulator PLTA.

Untuk mencapai tujuan penelitian ini, tahapan yang dilakukan adalah:

- 1) Analisis terhadap kontroler analog yang pernah dirancang bangun oleh Estiko^[2] dengan tujuan untuk memahami struktur kontroler, elemen-elemen penyusun kontroler dan fungsi masing-masing elemen.
- 2) Merancang kontroler tegangan versi digital, termasuk: struktur kontroler, elemen penyusun, peranti keras, dan peranti lunak.

Dalam proses perancangan ini diidentifikasi jenis peranti keras yang cocok untuk fungsi-fungsi tertentu.

- 3) Pembuatan peranti keras dan peranti lemah untuk masing-masing elemen, dan pengujian fungsi masing-masing elemen.
- 4) Integrasi seluruh elemen ke dalam satu kesatuan sistem, dan pengujian sistem keseluruhan di laboratorium.

Pada tahap ke-2 sampai ke-4 diterapkan ilmu pengetahuan dan teknologi yang telah dikuasai, dan juga mengadopsi referensi terbaru terkait permasalahan yang ada [3, 4, 5, 6, 7].

RANCANG BANGUN AVR DIJITAL

Deskripsi AVR Dijital

Pada gambar 1 ditunjukkan diagram kotak kontroler tegangan digital otomatis (*Automatic Voltage Regulator / AVR*) yang dirancang bangun pada penelitian ini. Modul rangkaian utama sistem kontrol tegangan digital ini adalah:

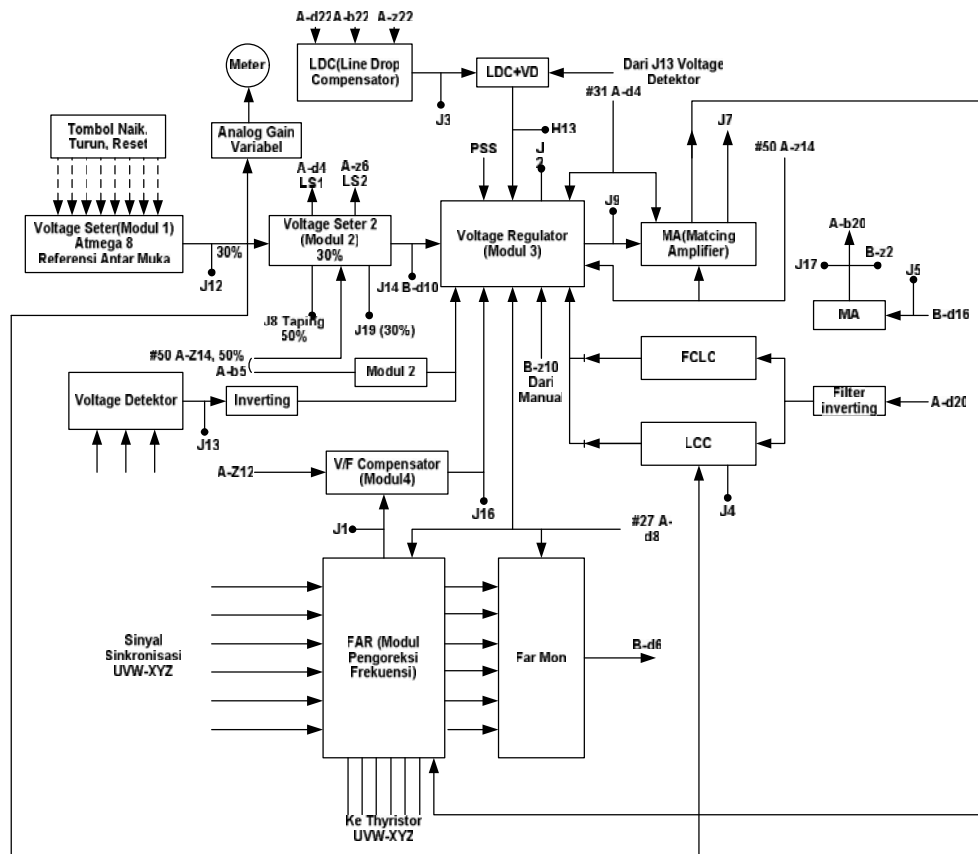
- 1) Modul antar muka *voltage setter* 1 (VS1), memakai mikrokontroler 8 bit.
- 2) Modul penjumlah *voltage setter* 2 (VS2), memakai peranti lunak di DSP.
- 3) Modul rangkaian pendeteksi tegangan terminal generator (VD), memakai rangkaian analog.
- 4) Regulator tegangan (VR), memakai peranti lunak di DSP.
- 5) Penguat penyesuai, memakai peranti lunak di DSP.
- 6) Modul regulator sudut penyalan memakai rangkaian analog.

- 7) Modul rangkaian pemonitor regulator sudut penyalan (FARMON), memakai mikrokontroler 8 bit.

AVR digital ini terdiri atas rangkaian digital yang dilengkapi rangkaian analog. Rangkaian analog terdiri atas rangkaian antar muka untuk masukan sinyal, logika pengkondisi aktif, pengeset parameter, dan pengubah sinyal digital ke analog (DAC) serta modul regulator sudut penyalan (*Firing Angle Regulator*, FAR). Rangkaian digital terdiri atas dua prosesor. Prosesor pertama adalah mikrokontroler 8 bit (ATMEL)^[3] yang digunakan untuk mengimplementasikan algoritma yang sederhana. Prosesor kedua berupa Pengolah Sinyal Digital (*Digital Signal Processor*, DSP) dari Texas Instrument^[4] yang digunakan untuk mengimplementasikan algoritma yang lebih kompleks.

Untuk menyalurkan sinyal analog dari sistem ke dalam DSP digunakan ADC yang memiliki kisaran inputan 0 s.d. 3 V. Pada sistem AVR digital ini, sinyal analog yang masuk ke DSP memiliki kisaran berbeda-beda mencakup -10 s.d. 10 V, oleh karena itu diperlukan pengkondisi sinyal ADC. Sebaliknya, untuk mengeluarkan tegangan analog dari DSP dipakai DAC sinyal PWM dengan level logika 0 - 3 V. Frekuensi PWM ≥ 2.5 kHz, *signal-of-interest* berupa sinusoid 50 Hz atau sinyal DC yang diperbaharui setiap 50 Hz. Oleh karenanya diperlukan pengkondisi sinyal DAC untuk memfilter input PWM dan menyesuaikan tegangan output yang diinginkan. Modul pemonitor kerja regulator sudut penyalan menerima 6 kanal pulsa

keluaran modul regulator sudut penyalaa. regulator sudut penyalaa. Jika deretan pulsa
Fungsi modul pemonitor ini adalah memonitor tidak sesuai spesifikasi, maka modul pemonitor
deretan pulsa yang dikeluarkan oleh modul akan mengaktifkan indikator kesalahan.



Gambar 1. Diagram kotak AVR digital yang dirancang bangun

Pada bagian berikut akan dijelaskan perancangan peranti keras dan peranti lunak terkait pengkondisi sinyal ADC, pengkondisi sinyal DAC, modul VS1 dan modul pemonitor kerja regulator sudut penyalaa.

Perancangan Peranti Keras

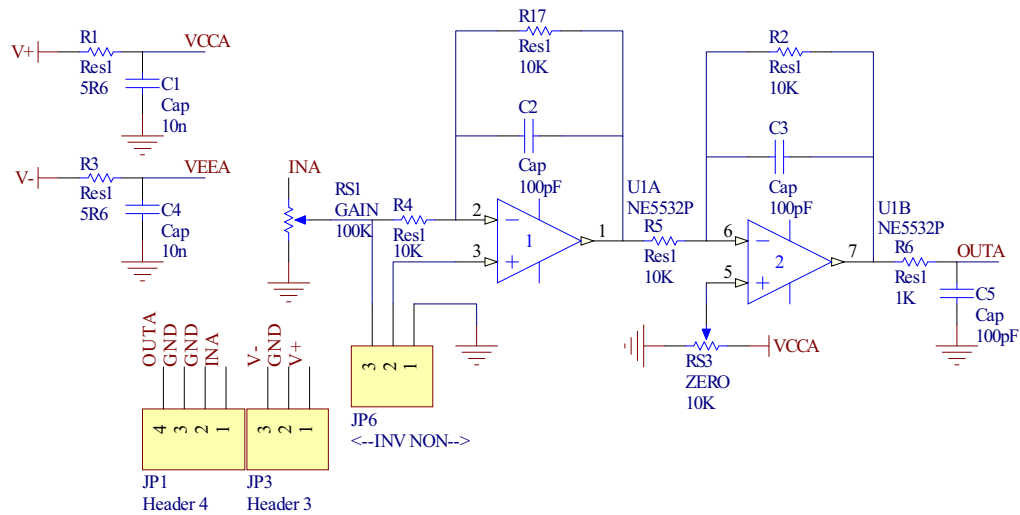
Pada gambar 2 ditunjukkan rangkaian antarmuka ADC DSP yang dirancang dengan menggunakan *Operating Amplifier* (Opamp)^[7] sebagai komponen utama. Kisaran input lebih besar daripada kisaran output, sehingga gain yang diperlukan berupa redaman. RS1 merupakan VR untuk mengatur redaman yang

diperlukan. Opamp pertama (U1A) digunakan sebagai *unity-gain buffer*, dapat dikonfigurasi menjadi bersifat *inverting* maupun *non-inverting*. Opamp kedua (U1B) digunakan sebagai *inverting unity-gain buffer*, dengan bias. Bias diperlukan untuk menggeser nilai nol dari sinyal input menjadi nilai nol untuk ADC (yaitu setengah dari *full-scale*). RS3 merupakan VR untuk mengatur nol ini. Opamp kedua bersifat *inverting*. Di setiap opamp digunakan kapasitor umpan balik (C2, C3) untuk meningkatkan kestabilan frekuensi tinggi. Dengan pemasangan kapasitor ini gain pada

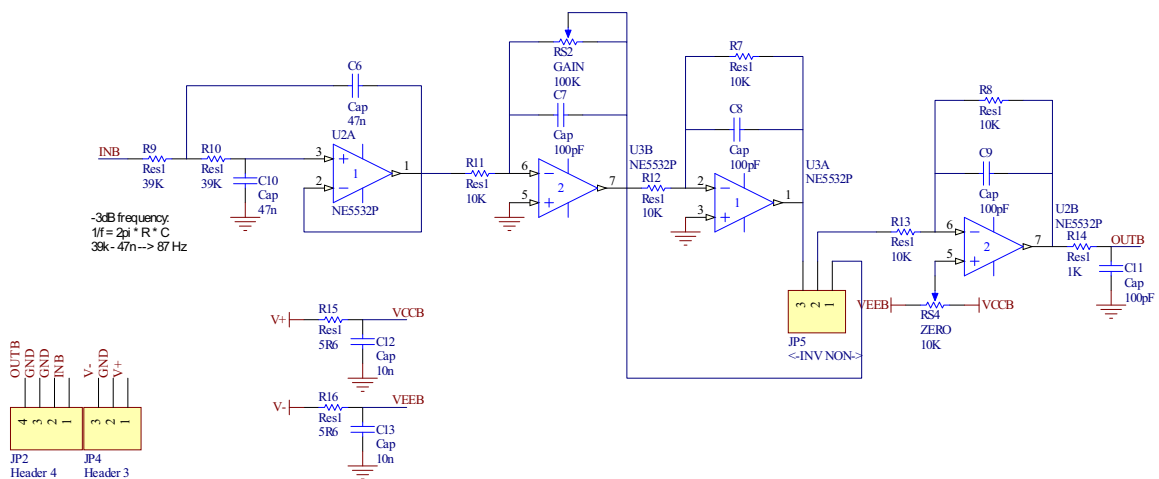
frekuensi tinggi akan turun sampai ke nol, sehingga mengurangi kemungkinan terjadinya osilasi dan pengaruh derau.

Pada gambar 3 ditunjukkan rangkaian dan nilai komponen modul pengkondisi sinyal

DAC yang dirancang bangun. Bagian pertama dari rangkaian ini adalah *Sallen-Key 2nd-order low pass filter*.



Gambar 2. Rangkaian skematik pengkondisi sinyal ADC.



Gambar 3. Rangkaian skematik pengkondisi sinyal DAC

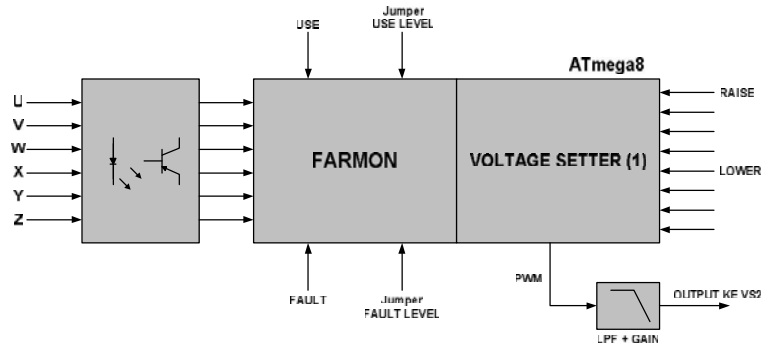
Bagian kedua dari pengkondisi sinyal merupakan *inverting gain-block*, untuk menaikkan range tegangan dari 0 s.d. 3 V menjadi kisaran yang diinginkan. Gain diatur pada resistor umpan balik RS2 yang merupakan VR/trimpot. Opamp ketiga (U3A) berfungsi

sebagai *inverting unity-gain buffer*, untuk membalik polaritas sinyal. Opamp keempat (U2B) digunakan untuk menggeser nilai zero dari sinyal. Input untuk opamp keempat (U2B) dapat dipilih menggunakan jumper JP5. Bila jumper terpasang pada 1-2, input dipilih dari

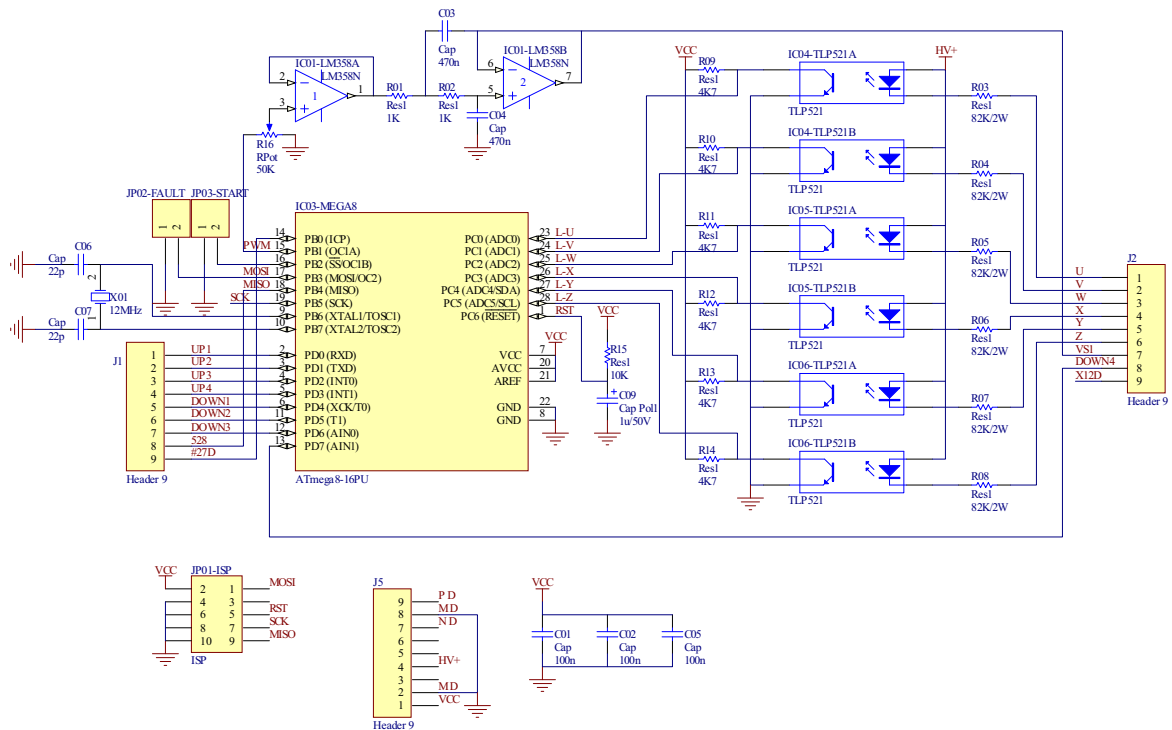
U3B (polaritas sinyal terbalik), sehingga keseluruhan sistem menjadi *non-inverting*; dan jika terpasang 2-3 terjadi sebaliknya.

Modul VS1 dan modul pemonitor regulator sudut penyalaaan diimplementasikan dalam mikrokontroler Atmel ATmega8.

Digunakan *clock* dari *oscillator crystal* dengan frekuensi 12.000 MHz. Diagram kotak perancangan ditunjukkan pada gambar 4. Sedangkan pada gambar 5 ditunjukkan perancangan detail modul VS1 dan pemonitor regulator sudut penyalaaan.



Gambar 4. Blok diagram modul VS1 dan pemonitor regulator sudut penyalaaan



Gambar 5. Rangkaian lengkap modul VS1 dan pemonitor sudut penyalaaan

Input dari regulator sudut penyalaaan (pulsa UVW-XYZ) merupakan pulsa +86 volt yang tidak direferensi terhadap GND dari

transistor darlington *open collector*. Untuk mengisolasi mikrokontroler digunakan optocoupler. Dari optocoupler, pulsa masuk ke

dalam mikrokontroler. Input ‘USE’ digunakan untuk menyalakan modul pemonitor dan mereset bila terjadi fault. Output ‘FAULT’ memberikan sinyal kesalahan dari modul pemonitor. Jumper *USE_LEVEL* dan *FAULT_LEVEL* digunakan untuk memilih antara *active low* atau *active high*.

Bagian VS1 terdiri atas input ‘RAISE’ dan ‘LOWER’, serta output PWM. Input ‘RAISE’ dan ‘LOWER’ merupakan input dari penekanan tombol oleh operator, bersifat *active-low*. DAC pada VS1 diimplementasikan dengan PWM (5,69 Hz) yang dimasukkan ke dalam filter *low-pass* [6, 7].

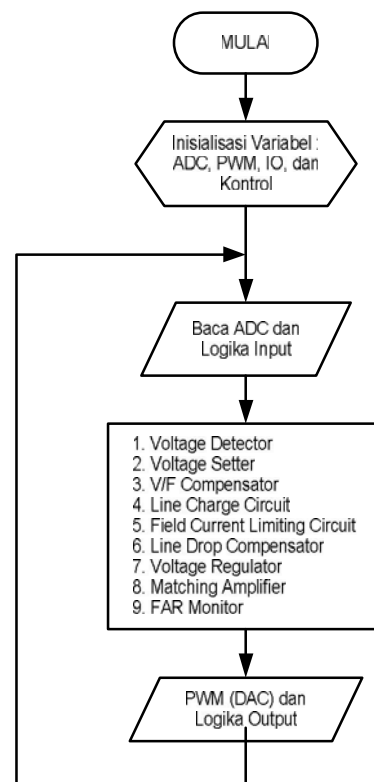
Filter *low-pass* diimplementasikan dengan opamp dalam bentuk Sallen-Key dengan frekuensi cutoff 8.6 Hz. Kisaran tegangan output dapat di-trim dengan menggunakan trimpot/VR pada rangkaian opamp.

Pembuatan Piranti Lunak

Pembuatan piranti lunak dilakukan dengan menggunakan Code Composer Studio untuk DSP dan CodeVision AVR untuk mikrokontroler. Modul dalam DSP yang digunakan adalah modul ADC, modul GPIO, dan modul PWM. Sedangkan modul yang digunakan dalam mikrokontroler adalah modul ADC, modul Timer, modul GPIO, dan modul PWM.

Diagram alir program AVR digital di dalam DSP ditunjukkan pada gambar 6. Variabel yang diinisialisasi adalah variabel untuk hasil pembacaan ADC, siklus tugas modul PWM, kondisi logika input/output, dan variabel untuk penghitungan algoritma kontrol

pada AVR. Modul ADC digunakan untuk membaca sinyal masukan analog dan pengesetan parameter kontrol pada AVR digital. Selain itu, logika input dibaca untuk membedakan pemilihan mode kontrol yang dipakai dalam AVR digital. Masing-masing blok penyusun AVR digital dijalankan menurut urutan yang telah ditentukan. Keluaran program berupa sinyal PWM. Sinyal PWM digunakan sebagai sinyal masukan bagi modul DAC.



Gambar 6. Diagram alir program AVR digital di dalam DSP

Diagram alir program modul VS1 dan modul pemonitor regulator sudut penyalakan di dalam mikrokontroler ditunjukkan pada gambar 7. Main loop digunakan untuk mengirim sinyal fault dengan memeriksa dua *flag* yaitu *deficient* dan *too long*. Program Voltage Setter (1) dijalankan pada *timer1_ovf_isr()* setiap 21.8

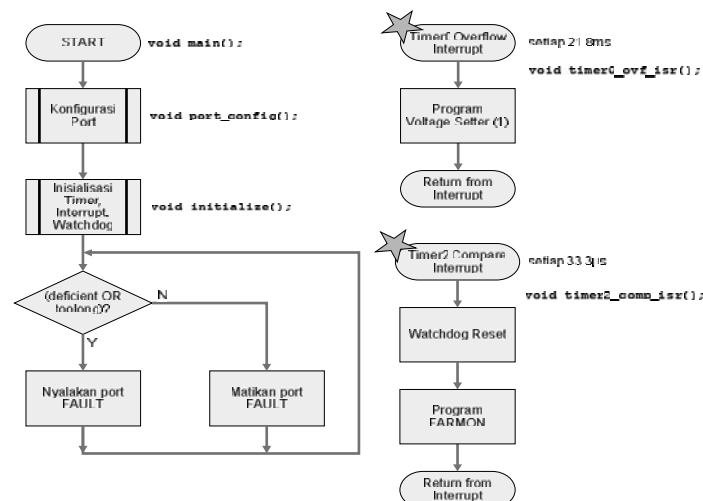
ms. Program FARMON dijalankan pada `timer2_comp_isr()` setiap 33.3 μ s.

Operator menaikkan nilai tegangan referensi dengan cara menekan secara terus menerus tombol “RAISE”, dan menurunkan nilai tegangan referensi dengan cara menekan secara terus menerus tombol “LOWER”. Ada 3 kondisi yang diproses di dalam software yaitu: (1) jika “RAISE” ditekan dan sebelumnya 68 VER” tidak ditekan, maka naikkan nilai tegangan referensi, (2) jika “LOWER” ditekan dan sebelumnya “RAISE” tidak ditekan maka turunkan nilai tegangan referensi, (3) jika “RAISE” dan “LOWER” tidak ditekan maka nilai tegangan referensi tetap. Tegangan referensi diperbaharui setiap 174.4ms (5,734Hz) dengan menggunakan `Timer/Counter0 over flow interrupt`. Sinyal keluaran VS1 berupa PWM yang diubah menjadi sinyal analog oleh pengkondisi sinyal DAC.

Program untuk pemonitor regulator sudut penyalan memeriksa masukan urutan pulsa UVW dan XYZ masing-masing dalam dua IF yang saling bebas. Pertama-tama nilai PIN

dimasukkan ke dalam `FAR_buff`, kemudian dipisah menjadi `FAR_uvw` dan `FAR_xyz`. Semua variabel diset pada mode *static*, sehingga nilainya dipertahankan untuk pemanggilan ISR berikutnya. Program dijalankan setiap `Timer/Counter2 Compare Interrupt`. Di sini dipakai *prescaler* 8 dan `OCR2 = 49`, sehingga *interrupt* terjadi setiap 33.3 μ s.

Spesifikasi sinyal regulator sudut penyalan bila dinyatakan dalam jumlah *interrupt* yang terjadi (`count_uvw` dan `count_xyz`) ditunjukkan pada Tabel 1. Pada program pemonitor regulator sudut penyalan ada dua parameter (konstanta) yang digunakan yaitu `def` dan `too`. `def` menyatakan jarak antar pulsa maksimum agar tidak *fault*, sedangkan `too` menyatakan panjang pulsa maksimum agar tidak *fault*. Kedua parameter ini dinyatakan dalam *counts* dan di-trim pada bagian pengujian sesuai dengan input dari rangkaian pemonitor. Dari hasil pengujian penalaan diperoleh nilai rancangan sebagai berikut: `def = 117 = 3896.1 μ s = 70°`; `too = 25 = 832.5 μ s = 15°`.



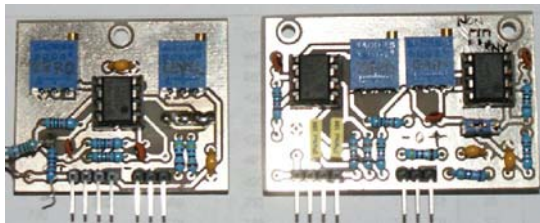
Gambar 7. Diagram alir VS1 dan pemonitor regulator sudut penyalan

Tabel 1. Spesifikasi sinyal regulator sudut penyalan

Spesifikasi	Fase	Pada $f=50$ Hz	Dengan resolusi $33.3\mu s$
Jarak antar pulsa	60°	3.33ms	100 count
Lebar pulsa minimum	10°	$555.6\mu s$	17 count
Lebar pulsa maksimum	15°	$833.3\mu s$	25 count

Hasil Rancang Bangun

Pada gambar 8 ditunjukkan photo PCB pengkondisi sinyal ADC (sebelah kiri) dan pengkondisi sinyal DAC (sebelah kanan) yang telah buat.



Gambar 8. Pengkondisi sinyal ADC dan pengkondisi sinyal DAC yang telah dibuat

Pada gambar 9 ditunjukkan photo PCB modul antar muka VS1 dan pemonitor regulator sudut penyalan yang telah dibuat.



Gambar 9. Modul VS1 dan pemonitor regulator sudut penyalan yang telah dibuat

HASIL UJI DAN PEMBAHASAN

Pada gambar 10 ditunjukkan photo perangkat uji coba saat eksperimen dilakukan. Di bawah ini ditunjukkan hasil-hasil eksperimen dan pembahasannya. Pada semua gambar hasil eksperimen, sumbu horisontal menunjukkan waktu dan sumbu vertikal menunjukkan sinyal pengukuran. Eksperimen

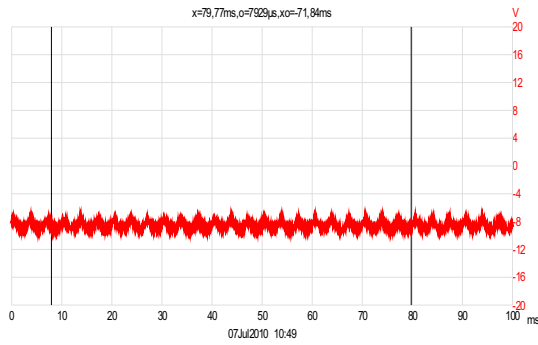
bertujuan untuk mengecek fungsi semua modul rangkaian yang telah dirancang bangun. Pada makalah ini dilaporkan hasil eksperimen sebagai berikut:

- Modul pengkondisi sinyal ADC.
- Modul pengkondisi sinyal DAC.
- Modul VS1 (rangkaiian pengeset tegangan referensi).
- Modul pemonitor regulator sudut penyalan.

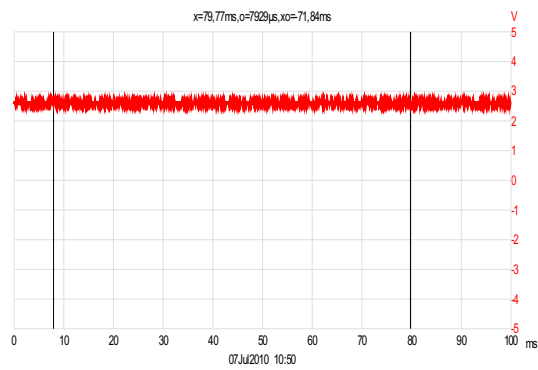
Pengujian pengkondisi sinyal ADC pada sinyal keluaran pendeteksi tegangan ditunjukkan pada gambar 11. Dimana terlihat bahwa sinyal keluaran tidak menunjukkan adanya riak frekuensi sinyal AC dan mempunyai level tegangan sesuai dengan masukan DSP, yaitu sebesar 2,73V (kurang dari tegangan maksimum untuk ADC DSP sebesar 3V).



Gambar 10. Perangkat eksperimen



(a). Sinyal keluaran pendeteksi tegangan

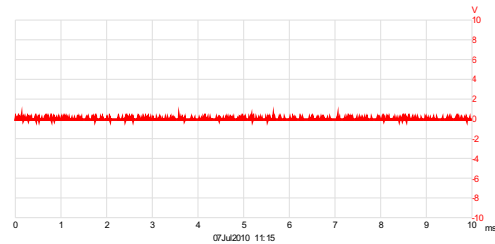


(b). Sinyal keluaran pengkondisi sinyal ADC

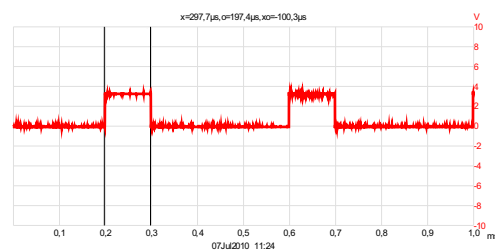
Gambar 11. Hasil eksperimen pengkondisi sinyal ADC

Hasil pengujian pengkondisi sinyal DAC ditunjukkan pada gambar 12 sampai dengan gambar 14. Pada gambar 12 ditunjukkan sinyal PWM masing-masing dengan nilai siklus tugas: (a)0%, (b)25%, (c)50%, (d)75%, dan (e)100%. Pada gambar 13 ditunjukkan sinyal keluaran pengkondisi sinyal DAC saat diberi masukan sinyal PWM masing-masing sesuai dengan gambar 12. Dari hasil ini disimpulkan bahwa pengkondisi sinyal DAC berfungsi dengan baik. Pada gambar 14 ditunjukkan sinyal keluaran saat siklus tugas PWM berubah-ubah terhadap waktu. Frekuensi cut off penapis yang digunakan adalah 423 Hz, dibuat dengan

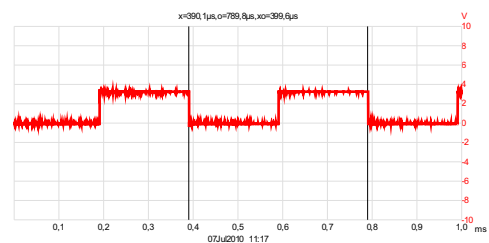
menggunakan resistor 8 kΩ dan kapasitor 47nF.



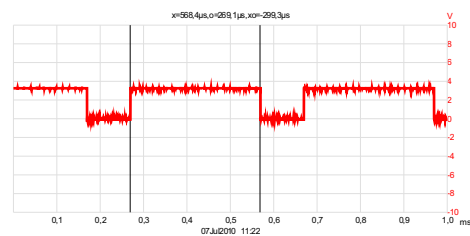
(a) Siklus tugas 0%



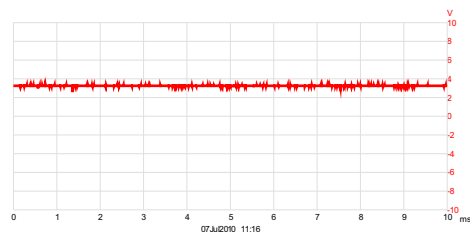
(b) Siklus tugas 25%



(c) Siklus tugas 50%

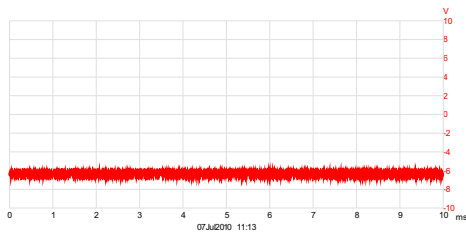


(d) Siklus tugas 75%

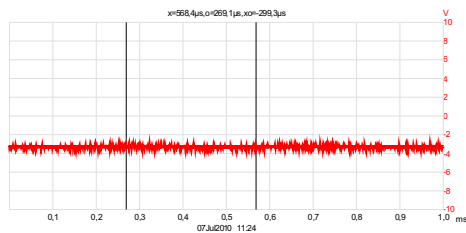


(e)Siklus tugas 100%

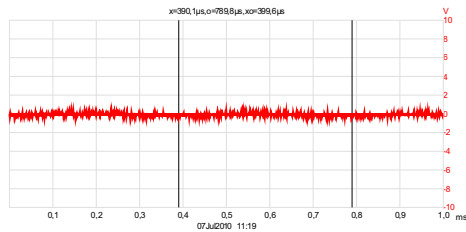
Gambar 12. Sinyal PWM dengan siklus tugas: 0%, 25%, 50%, 75% dan 100%.



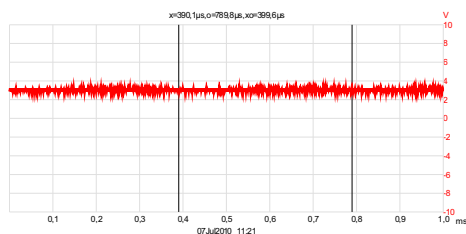
(a)Siklus tugas 0%



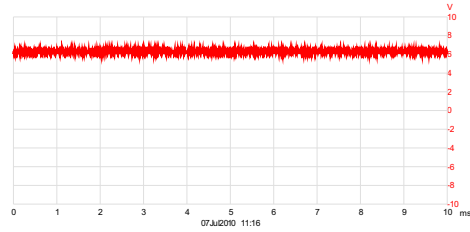
(b)Siklus tugas 25%



(c)Siklus tugas 50%



(d)Siklus tugas 75%



(e)Siklus tugas 100%

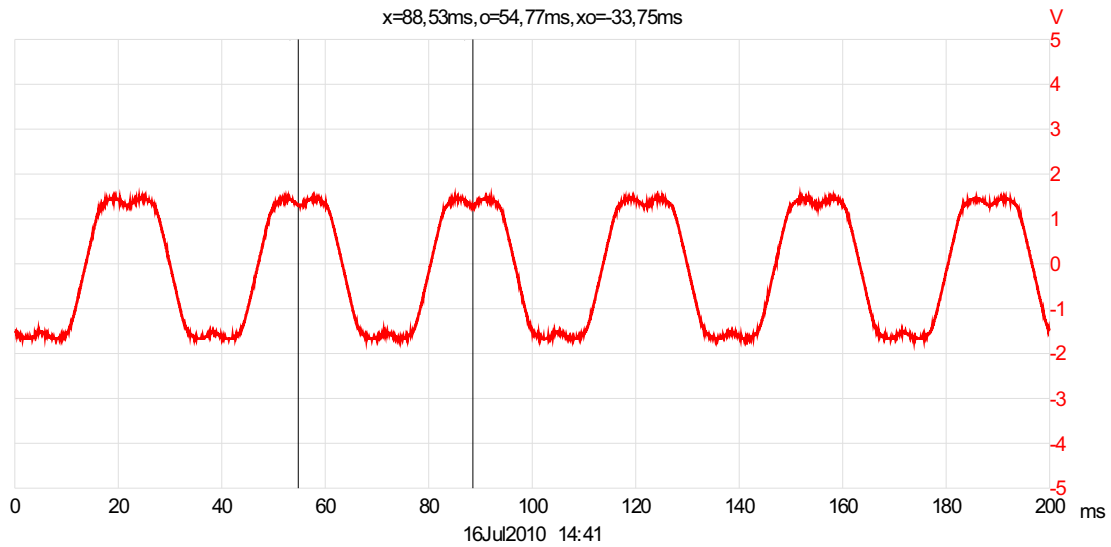
Gambar 13. Keluaran pengkondisi sinyal DAC untuk PWM dengan siklus tugas: 0%, 25%, 50%, 75% dan 100%.

Uji coba di laboratorium terhadap modul VS1 dilakukan untuk mengecek fungsi pengesetan oleh operator dari 0 sampai 30%. Pada gambar 15 ditunjukkan hasil uji coba laboratorium modul VS1 yang telah dibuat. Nilai tegangan referensi diatur oleh operator dengan cara menekan tombol naik dan tombol turun serta tombol reset. Dari gambar ini dapat dilihat bahwa operator dapat menurunkan nilai referensi sampai batas minimal 0 Volt dan dapat menaikkan nilai referensi sampai batas maksimal 2,73 Volt (setara 30%).

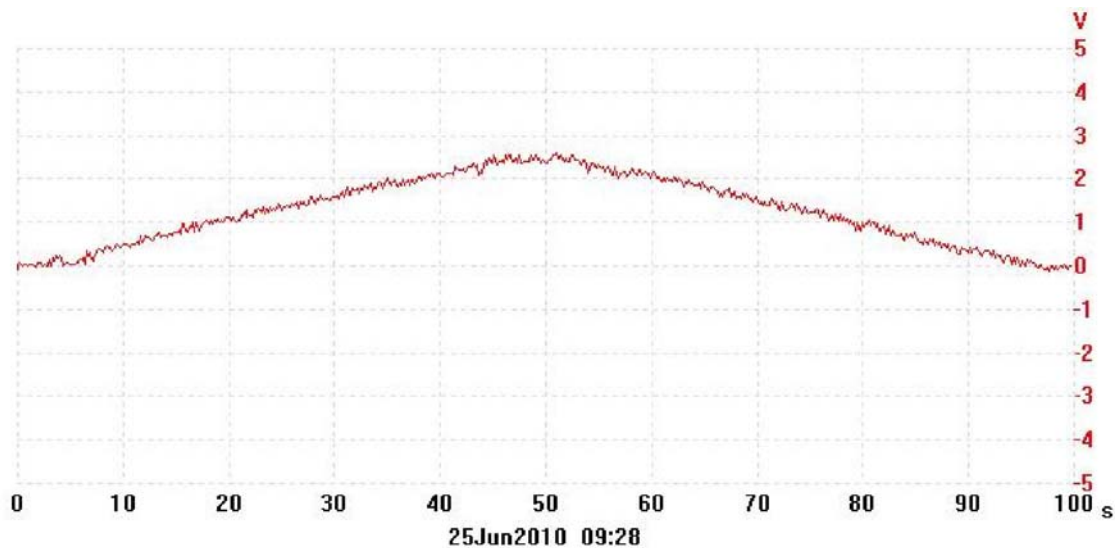
Pada gambar 16 ditunjukkan hasil pengukuran sinyal pada regulator sudut penyalan kanal U. Garis abu-abu adalah sinyal kontrol, garis merah adalah sinyal gergaji, dan garis biru adalah pulsa keluaran. Pada gambar ini tercatat pulsa pertama menyala saat sudut 45 derajat listrik, lebar pulsa 15 derajat listrik, jarak antara pulsa pertama dan pulsa kedua 60 derajat, dan jarak antara pulsa pertama siklus pertama dan siklus berikutnya adalah 360 derajat listrik.

Keluaran regulator sudut penyalan sebanyak 6 kanal (U,V,W,X,Y,Z) secara paralel dikirim ke rangkaian transformator pulsa

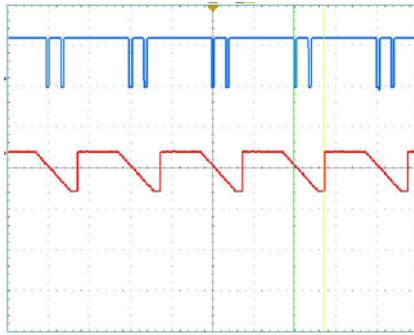
dan ke modul pemonitor. Transformer pulsa menyalurkan pulsa penyalan ke gerbang thyristor pada masing-masing thyristor di jembatan thyristor. Modul pemonitor berfungsi memonitor pulsa yang dihasilkan oleh modul regulator sudut penyalan dan mengeluarkan sinyal peringatan jika terjadi ketidak normalan (misalnya ada pulsa yang terlalu lebar atau ada pulsa yang hilang).



Gambar 14. Keluaran pengkondisi sinyal DAC dengan siklus tugas PWM bervariasi

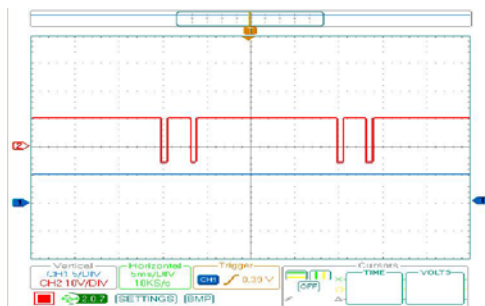


Gambar 15. Keluaran modul VS1



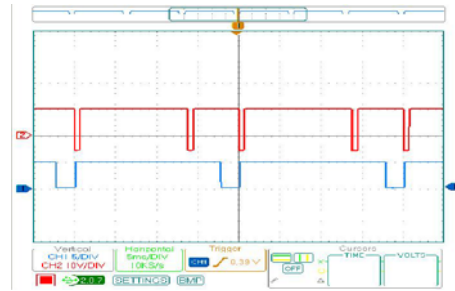
Gambar 16. Sinyal pada modul regulator sudut penyalan

Pada gambar 17, 18, dan 19 ditunjukkan hasil eksperimen fungsi modul pemonitor yang telah dibuat. Pada gambar 17 ditunjukkan hasil eksperimen saat lebar pulsa yang dikeluarkan oleh modul regulator sudut penyalan dalam kondisi normal. Garis merah menunjukkan pulsa keluaran modul regulator sudut penyalan dan garis biru menunjukkan status operasi dalam keadaan normal (*high*).

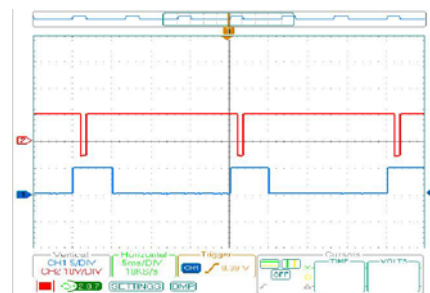


Gambar 17. Deteksi pulsa normal pada modul pemonitor

Pada gambar 18 dan gambar 19 ditunjukkan hasil eksperimen pulsa keluaran abnormal. Garis merah menunjukkan bentuk pulsa sedangkan garis biru menunjukkan status operasi. Pada gambar 18, saat pulsa terlalu panjang maka status berubah dari normal (*high*) menjadi abnormal (*low*). Sedangkan pada gambar 19, saat pulsa hilang (terlalu pendek) maka status berubah dari normal (*high*) menjadi ab-normal (*low*).



Gambar 18. Deteksi pulsa terlalu panjang pada modul pemonitor



Gambar 19. Deteksi pulsa hilang pada modul pemonitor.

KESIMPULAN DAN SARAN

Kesimpulan

Dari hasil eksperimen pada penelitian ini diperoleh kesimpulan sebagai berikut:

- Modul pengkondisi sinyal ADC yang telah dirancang bangun dapat bekerja dengan baik. Sinyal keluaran modul ADC tidak menunjukkan adanya riak frekuensi sinyal AC dan mempunyai level tegangan sebesar 2,73V yang sesuai dengan DSP (kurang dari tegangan maksimum untuk ADC DSP sebesar 3V)
- Modul pengkondisi sinyal DAC yang dicirikan oleh *Low Pass Filter Sallen-Key* orde 2 dengan nilai resistor 8 k Ω dan kapasitor 47nF mampu memproses sinyal keluaran PWM dari modul pengeset tegangan di dalam mikrokontroler dengan

signal-of-interest berupa sinyal arus searah yang diperbaharui setiap 50Hz.

- c. Modul antar muka pengeset tegangan referensi dapat bekerja menaikkan dan menurunkan tegangan pada kisaran 0 V s.d. 2,73 V sesuai perintah operator.
- d. Modul pemonitor pulsa keluaran regulator sudut penyalan dapat bekerja dengan baik dan mengeluarkan sinyal peringatan: normal, pulsa terlalu panjang, dan pulsa terlalu pendek, sesuai spesifikasi: lebar pulsa maksimum 15° dan jarak antar pulsa maksimum 70°.

Kesimpulan akhir makalah ini adalah bahwa modul pengkondisi sinyal ADC dan DAC yang dibuat memakai rangkaian analog, serta antar muka pengeset tegangan referensi operator dan modul pemonitor pulsa regulator sudut penyalan yang dibuat memakai mikrokontroler 8 bit dapat bekerja dengan baik. Oleh karena itu modul-modul yang telah dibuat tersebut dapat digunakan untuk rancang bangun kontroler tegangan digital berbasis DSP yang dipakai pada PLTA sesuai tujuan penelitian ini.

Saran

Disarankan agar hasil ini diaplikasikan pada pembuatan kontroler tegangan digital berbasis DSP untuk PLTA yang menjadi tujuan penelitian ini.

DAFTAR ACUAN

- [1] Menteri Energi dan Sumber Daya Mineral Republik Indonesia, 2007, Aturan Jaringan Sistem Tenaga Listrik Jawa-Madura-Bali, Peraturan Menteri Energi dan Sumber

Daya Mineral Nomor 3 Tahun 2007, Jakarta, 29 Januari.

- [2] Estiko Rijanto, 2009, Rancang Bangun Kontroler Tegangan Analog untuk Pembangkit Listrik Tenaga Air (PLTA) dengan Generator Sinkron 3 Fasa Kapasitas 9MVA, jurnal INKOM, pp.72-85, Vol.3, No.1-2, ISSN: 1979-8059.
- [3] Atmel Corporation, 2007, *8-bit AVR with 8K bytes In-System Programmable Flash, ATmega8/ATmega8L Datasheet rev. 2486S - 08/07.*
- [4] Texas Instrument, 2009, "TMS320F28235, TMS320F28234, TMS320F28232 *Digital Signal Controllers (DSCs) Data Manual*, Literature Number: SPRS439F, Texas Instrument, www.ti.com, (Diakses April).
- [5] National Semiconductor, 2002, *Op Amp Circuit Collection*, National Semiconductor Application Note 31, September.
- [6] David M. Alter, 2008, *Using PWM Output as a Digital-to-Analog Converter on TMS320F280x Digital Signal Controller*, Texas Instruments Application Report SPRAA88A, September.
- [7] Thomas Kugelstadt, *Active Filter Design Technique*, Texas Instruments Literature Number SLOA088.